

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-219790

(43)Date of publication of application : 10.08.1992

(51)Int.Cl. G09G 3/36
G02F 1/133
G02F 1/1343
G09F 9/00
H01L 21/66
H02H 3/16

(21)Application number : 02-404155

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.12.1990

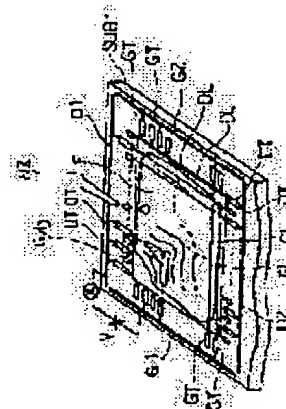
(72)Inventor : NIWA SUSUMU
SASUGA MASUMI
MATSUZAKI HIDEO

(54) SHORT-CIRCUIT FAILURE POSITION DETECTING METHOD AND SHORT-CIRCUIT FAILURE REPAIRING DEVICE

(57)Abstract:

PURPOSE: To improve detection accuracy and to enable immediate repair of a short circuit failure by applying an inactive solvent on a substrate surface, and by detecting a position of the short circuit failure through detection of evaporation of the solvent due to heating by conducting electricity.

CONSTITUTION: Voltage is impressed on between as gate short circuit wiring G1 or G2 and a drain short circuit wiring D1 or D2 by using probe or the like. When a short circuit failure G/D occurs, electric current flows only in the gate line GL and the drain line DL, and a portion of this short circuit failure G/D and the short-circuited gate line GL and the drain line DL generate heat. Then, when an inactive solvent F is applied to the surface of a TFT substrate SUB1 from a nozzle NZ, a calorific value of the short circuit failure G/D portion is large because its electric resistance is high, and the inactive solvent F on this short circuit failure G/D part evaporates quickly. A short circuit failure easily occurs between the gate line GL and the drain line DL and between a gate electrode of a thin film transistor and a source drain electrode, but it can be visually discovered in this way.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平4-219790

(43) 公開日 平成4年(1992)8月10日

(51) Int.Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7926-5G		
G 0 2 F 1/133	5 0 5	7820-2K		
	1/1343	9018-2K		
G 0 9 F 9/00	3 5 2	8447-5G		
H 0 1 L 21/66	S	7013-4M		

審査請求 未請求 請求項の数 2 (全 4 頁) 最終頁に続く

(21) 出願番号 特願平2-404155

(22) 出願日 平成2年(1990)12月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 丹羽 進

千葉県茂原市早野3300番地日立製作所茂原工場内

(72) 発明者 流石 真澄

千葉県茂原市早野3300番地日立製作所茂原工場内

(72) 発明者 松崎 英夫

千葉県茂原市早野3300番地日立製作所茂原工場内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 短絡欠陥位置検出方法および短絡欠陥修繕装置

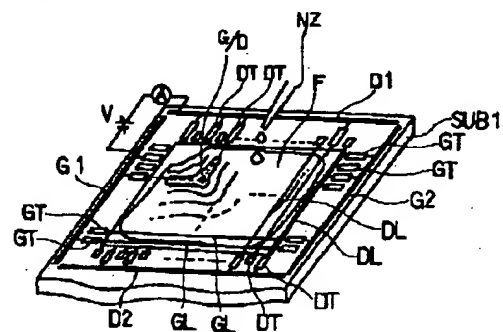
(57) 【要約】

【目的】 容易に、かつ高精度に短絡欠陥の位置を検出できる方法を提供し、また、容易に、高精度に短絡欠陥を検出し、かつ即座に短絡欠陥を修繕することができる短絡欠陥修繕装置を提供することにある。

【構成】 交差する第1の配線と第2の配線との短絡欠陥の位置を検出すべき基板面に不活性溶剤を塗布し、上記第1の配線と上記第2の配線間に電圧を印加し、この電圧印加による短絡欠陥の発熱による上記不活性溶剤の蒸発を検知することにより上記短絡欠陥の位置を検出することを特徴とする。また、本発明の短絡欠陥修繕装置は、上記方法の各工程を実施する各手段と、上記短絡欠陥を修繕する手段とを有することを特徴とする。

【効果】 容易に、かつ高精度に短絡欠陥を検出することができるとともに即座に短絡欠陥を修繕することができる。

図1



SUB1...TFT 基板
GL...ゲート線(走査信号線)
DL...ドレイン線(映像信号線)
GT...ゲート端子
DT...ドレイン端子
G1, G2...ゲート短絡配線
D1, D2...ドレイン短絡配線
F...不活性溶剤
NZ...注出ノズル
G/D...短絡欠陥

1

【特許請求の範囲】

【請求項1】 交差する第1の配線と第2の配線との短絡欠陥の位置を検出すべき基板面に不活性溶剤を塗布し、上記第1の配線と上記第2の配線間に電圧を印加し、この電圧印加による短絡欠陥の発熱による上記不活性溶剤の蒸発を検知することにより上記短絡欠陥の位置を検出することを特徴とする短絡欠陥位置検出方法。

【請求項2】 交差する第1の配線と第2の配線との短絡欠陥の位置を検出すべき基板面に不活性溶剤を塗布する手段と、上記第1の配線と上記第2の配線間に電圧を印加する手段と、この電圧印加による短絡欠陥の発熱による上記不活性溶剤の蒸発を検知する手段と、上記短絡欠陥を修繕する手段とを有することを特徴とする短絡欠陥修繕装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば液晶表示素子等の交差する配線を有する基板において、短絡欠陥の位置を検出する方法およびその短絡欠陥の修繕装置に関する。

【0002】

【従来の技術】 以下、液晶表示素子を例に挙げて説明する。例えば、アクティブ・マトリクス方式の液晶表示素子では、マトリクス状に配列された複数の画素電極のそれぞれに対応して、スイッチング素子として薄膜トランジスタを設け、これらの薄膜トランジスタと画素電極とを画素の一構成要素とするものである。液晶表示素子は、2枚の上下透明ガラス基板とその間に封入された液晶等で構成され、薄膜トランジスタが形成された方の透明ガラス基板（以下、TFT基板と称す）の面上には、多数のゲート線（走査信号線）とドレイン線（映像信号線）とが層間絶縁膜を間に介して縦横に交差して配線されている。

【0003】 このような液晶表示素子においては、ゲート線とドレイン線との交点における短絡、および薄膜トランジスタのゲート電極とソース電極またはドレイン電極との交差部における短絡が発生しやすく、これらの短絡欠陥が発生した場合は、レーザを用いて修繕する。

【0004】 従来、上記短絡欠陥を検出するには、検査用プローブをTFT基板上のゲート端子およびドレイン端子のすべてに順次接触させ、電気テストにより電圧を印加して短絡欠陥を検出する。

【0005】

【発明が解決しようとする課題】 上記従来技術では、全端子に順次プローブを接触させて検査するので、短絡欠陥を検出するのに長時間を要する。また、検出装置は構造が複雑で、大規模である。さらに、短絡欠陥は画素単位で検出可能であり、ゲート線とドレイン線との交点、薄膜トランジスタのゲート電極とソース・ドレイン電極との交差部のうち、どちらで短絡欠陥が生じているのか

2

わからない。さらに、一画素当たり複数個の薄膜トランジスタを有する場合、どの薄膜トランジスタのゲート電極とソース・ドレイン電極との交差部で短絡欠陥が生じているのかもわからない。

【0006】 本発明の目的は、上記の問題を解決し、容易に、かつ高精度に短絡欠陥の位置を検出できる方法を提供することにある。

【0007】 また、本発明の他の目的は、容易に、高精度に短絡欠陥を検出し、かつ即座に短絡欠陥を修繕することができる短絡欠陥修繕装置を提供することにある。

【0008】

【課題を解決するための手段】 上記の課題を解決するために、本発明の短絡欠陥位置検出方法では、交差する第1の配線と第2の配線との短絡欠陥の位置を検出すべき基板面に不活性溶剤を塗布し、上記第1の配線と上記第2の配線間に電圧を印加し、この電圧印加による短絡欠陥の発熱による上記不活性溶剤の蒸発を検知することにより上記短絡欠陥の位置を検出することを特徴とする。

【0009】 また、本発明の短絡欠陥修繕装置では、交差する第1の配線と第2の配線との短絡欠陥の位置を検出すべき基板面に不活性溶剤を塗布する手段と、上記第1の配線と上記第2の配線間に電圧を印加する手段と、この電圧印加による短絡欠陥の発熱による上記不活性溶剤の蒸発を検知する手段と、上記短絡欠陥を修繕する手段とを有することを特徴とする。

【0010】

【作用】 本発明の短絡欠陥位置検出方法では、基板面に不活性溶剤を塗布し、通電の発熱による不活性溶剤の蒸発を検知して、短絡欠陥の位置を検出するので、容易に、かつ高精度に検出できる。

【0011】 また、本発明の短絡欠陥修繕装置では、基板面に不活性溶剤を塗布し、第1の配線と第2の配線間に電圧を印加し、通電の発熱による不活性溶剤の蒸発を検知して、短絡欠陥の位置を検出し、かつ短絡欠陥を修繕する手段を有するので、容易に、かつ高精度に短絡欠陥位置を検出できるとともに即座に短絡欠陥を修繕することができる。

【0012】

【実施例】 図1は、本発明の短絡欠陥位置検出方法を説明するためのTFT基板の斜視図である。

【0013】 SUB1はTFT基板、GLはゲート線（走査信号線）、DLはドレイン線（映像信号線）、GTはゲート端子、DTはドレイン端子、G1、G2はそれぞれ交互にすべてのゲート線GLを短絡したゲート短絡配線、D1、D2はそれぞれ交互にすべてのドレイン線DLを短絡したドレイン短絡配線、Fは短絡欠陥位置検出用の例えばフロリナート（住友スリーエムの商品名）等の不活性溶剤、NZは不活性溶剤Fを塗布するための注出ノズル、G/Dは短絡欠陥である。

【0014】 すべてのゲート線GLは交互にゲート短絡

3

配線G1、G2に接続され、すべてのドレイン線DLは交互にドレイン短絡配線D1、D2に接続されている。ゲート線GLとドレイン線DLとの間、および薄膜トランジスタのゲート電極とソース・ドレイン電極との間は、周回絶縁膜で絶縁されているが、短絡欠陥が生じやすい。本方法では、ゲート短絡配線G1またはG2と、ドレイン短絡配線D1またはD2との間にプローブ等を使って電圧を印加する。すると、短絡欠陥G/Dが生じている場合は、短絡欠陥G/Dが生じているゲート線GLとドレイン線DLだけに電流が流れ、この短絡欠陥G/D部と、その短絡したゲート線GLおよびドレイン線DLは発熱する。この後、注出ノズルNZから不活性溶剤F、ここではフッリナートをTFT基板SUB1の面上に塗布する。すると、短絡欠陥G/D部は電気抵抗が高いので、発熱量が多く、この短絡欠陥G/D部上の不活性溶剤Fが速く蒸発するため、短絡欠陥G/Dの位置を目視により発見することができる。さらに、検出した短絡欠陥G/Dを光学顕微鏡で観察しながら、印加電圧値を調整することにより短絡欠陥の位置を精度良く検出することができる。すなわち、従来は短絡欠陥を画素単位で検出するのみであったが、本方法では、短絡欠陥が、ゲート線とドレイン線との交点、薄膜トランジスタのゲート電極とソース・ドレイン電極との交差部のうちどちらで生じているのかわかる。さらに、一面素当たり複数個の薄膜トランジスタを有する場合でも、どの薄膜トランジスタのゲート電極とソース・ドレイン電極との交差部で生じているのかわかる。もちろん、電圧を印加する前に、不活性溶剤Fを塗布してもよい。

【0015】上記のように本方法では、従来のように全端子にプローブを接触させて検査するのではなく、短絡配線G1、G2、D1、D2にプローブを接触させる構成なので、短時間で短絡欠陥位置を検出できる。また、検出装置は構造が簡単で、規模も小さくて済む。さらに、ゲート線とドレイン線との交点、薄膜トランジスタのゲート電極とソース・ドレイン電極との交差部、さらに、一面素当たり複数個の薄膜トランジスタを有する場合、どの薄膜トランジスタのゲート電極とソース・ドレイン電極との交差部で短絡欠陥が生じているのかもわかる。このように本方法では、大きい面積で、しかも数万ヶ所の交点を持つTFT基板から短時間で容易に、かつ高精度に短絡欠陥の位置を検出することができる。

【0016】図2は、本発明の短絡欠陥修繕装置の一実施例の外観斜視図である。

【0017】1は短絡欠陥の位置を検出すべき基板（ここでは図示せず。例えば、液晶表示素子のTFT基板等。図1参照）を載置するXYステージ、2は上記基板面に不活性溶剤を塗布する注出ノズル、3は不活性溶剤のディスペンサ、4は図1のゲート短絡配線G1、G2とドレイン短絡配線D1、D2間に電圧を印加するためのプローブ、5は電圧印加用電源（欠陥位置検出および

4

ショートチェック用電源）、6は上記電圧印加による短絡欠陥の発熱による不活性溶剤の蒸発を検知するための光学顕微鏡、7は光学顕微鏡の像を撮影するTVカメラ、8はTVモニタ、9は液晶表示素子モジュールの点灯回路、10は短絡欠陥を修繕するためのレーザ発振器である。

【0018】まず、短絡欠陥を検査すべき基板をXYステージ1上にセットする。次に、プローブ4を図1のゲート短絡配線G1またはG2とドレイン短絡配線D1またはD2に接触させ、電圧を印加する。これにより、短絡欠陥部を発熱させる。次に、上記基板面に注出ノズル2から不活性溶剤を塗布し、不活性溶剤の蒸発の有無により短絡欠陥の有無およびその位置を検出する。さらに、光学顕微鏡6により短絡欠陥の正確な位置を検出する。光学顕微鏡6の像はTVモニタ8にも映し出される。なお、光学顕微鏡6は短絡欠陥の観察とともに、短絡欠陥修繕用のレーザ発振器10と同一光軸にあるため、検出した短絡欠陥をTVモニタ8などで観察しながらレーザで即座に修繕することができる。

【0019】なお、コンピュータを用い、該コンピュータをTVモニタ8とレーザ発振器10に接続・連動させることにより、自動的に短絡欠陥を検出し、修繕することも可能である。すなわち、TVモニタ8の画像に現われた不活性溶剤の蒸発をコンピュータにより画像処理し、基板に対応するアドレスを読み取り、レーザ発振器10を動作させる。

【0020】このように、本装置によれば、大きい面積で、しかも数万ヶ所の交点を持つTFT基板から短時間で容易に、かつ高精度に短絡欠陥を検出することができる。とともに検出後即座にレーザを用いて短絡欠陥を修繕することができる。

【0021】以上本発明を上記実施例に基づいて具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。例えば、上記実施例では、検査の対象として液晶表示素子を例示して説明したが、交差する配線を有するその他の回路基板等の短絡欠陥を検出することができる。

【0022】

【発明の効果】以上説明したように本発明では、容易に、かつ高精度に短絡欠陥を検出することができるとともに即座に短絡欠陥を修繕することができる。

【図面の簡単な説明】

【図1】本発明の短絡欠陥位置検出方法を説明するためのTFT基板の斜視図である。

【図2】本発明の短絡欠陥修繕装置の一実施例の外観斜視図である。

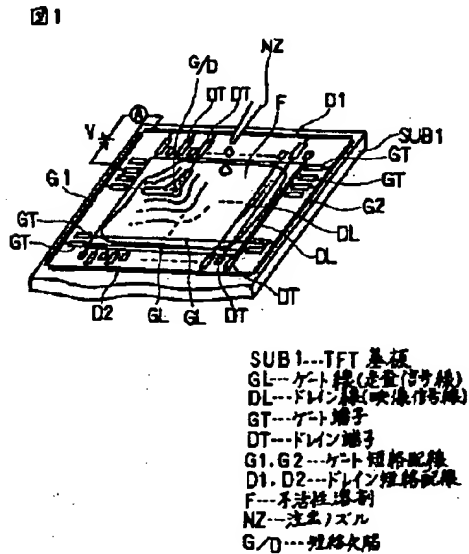
【符号の説明】

SUB1…TFT基板、GL…ゲート線（走査信号線）、DL…ドレイン線（映像信号線）、GT…ゲート

5

端子、DT…ドレイン端子、G1、G2…ゲート短絡配線、D1、D2…ドレイン短絡配線、F…不活性溶剤、NZ…吐出ノズル、G/D…短絡欠陥、1…XYステージ、2…吐出ノズル、3…ディスペンサ、4…ブロー

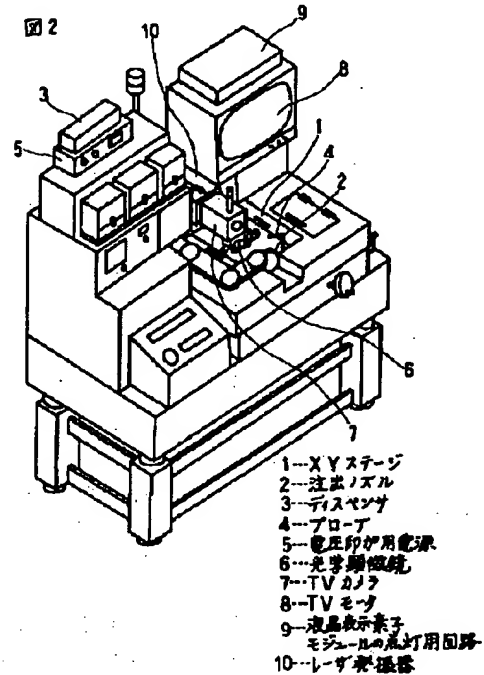
【図1】



6

ブ、5…電圧印加用電源、6…光学顕微鏡、7…TVカメラ、8…TVモニタ、9…液晶表示素子モジュールの点灯回路、10…レーザー発振器。

【図2】



フロントページの続き

(51) Int. Cl.⁵

H 0 2 H 3/16

識別記号 庁内整理番号

A 9061-5G

F I

技術表示箇所